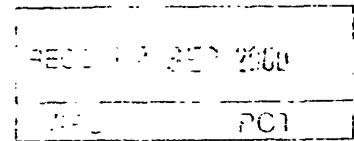


**10/031337**

**PRIORITY DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)



**Prioritätsbescheinigung über die Einreichung  
einer Patentanmeldung**

**Aktenzeichen:** 199 35 130.9

**Anmeldetag:** 27. Juli 1999

**Anmelder/Inhaber:** Siemens Aktiengesellschaft,  
München/DE

**Bezeichnung:** Verfahren zur Herstellung eines Halbleiterspeicher-  
bauelements

**IPC:** H 01 L 21/8242

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-  
sprünglichen Unterlagen dieser Patentanmeldung.**

München, den 31. August 2000  
**Deutsches Patent- und Markenamt**  
**Der Präsident**  
Im Auftrag

## Verfahren zur Herstellung eines Halbleiterspeicherbauelements

## BESCHREIBUNG

Die Erfindung betrifft ein Verfahren zur Herstellung eines Halbleiterspeicherbauelements, insbesondere eines DRAM bzw. FRAM, mit einem Siliziumsubstrat, einer auf diesem angeordneten Zwischenoxidschicht, auf welcher eine obere Schicht aus einem ferroelektrischen Material oder aus einem Material hoher Dielektrizitätskonstante angeordnet ist, wobei ein sich bis zur Grenzfläche zwischen dem Siliziumsubstrat und der oberen Schicht erstreckendes Kontaktloch mittels Ätzen ausgehend von einem Fenster einer Lochmaske eingebracht wird, das in einem vorausgehenden Ätzschritt lithographisch ausgebildet wurde.

Abhängig vom Chip-Design bzw. dem Chip-Layout ist in einem hochintegrierten DRAM bzw. FRAM bei Verwendung von Materialien mit hoher Dielektrizitätskonstante, beispielsweise BST (BST steht für Barium-Strontium-Titanat) und von ferroelektrischen Materialien, beispielsweise SBT (SBT steht für Strontium-Wismuth-Tantalat) erforderlich, bei der Plasmaätzung des Kontaktlochs zum Siliziumsubstrat durch diese Materialien hindurchzuätzen. Eine Kontamination des am Boden des Kontaktlochs freiliegenden monokristallinen Siliziumsubstrats muß dabei vermieden werden, um eine negative Beeinflussung des Auswahltransistors von DRAM bzw. FRAM zu verhindern.

Zu diesem Zweck ist es bekannt, zwei Lithographie-Prozessschritte bzw. zwei Lithographie-Ebenen durchzuführen. Im ersten Lithographie-Prozessschritt wird dabei durch Plasmaätzen mittels Lackmaske ein Fenster in der ferroelektrischen Schicht erzeugt. Im zweiten Lithographie-Prozessschritt wird das eigentliche Kontaktloch daraufhin bis zum Siliziumsubstrat hinunter mittels einer neuen kleineren Lackmaske geätzt. Dieses herkömmliche Verfahren führt zwar zum Ziel, eine Kontamination des Kontaktlochbodens zu vermeiden, es ist jedoch aufgrund des Einsatzes von zwei Lithographie-Prozessschritten bzw. Lithographie-Ebenen sehr aufwendig.

Eine Aufgabe der vorliegenden Erfindung besteht demnach darin, ein Verfahren der eingangs genannten Art zu schaffen, das mit vereinfachtem, d.h. einem einzigen, Lithographie-Prozeß zum Ziel führt.

Gelöst wird diese Aufgabe durch den Gegenstand des Anspruchs 1. Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

Mit anderen Worten basiert das erfindungsgemäße Verfahren auf der Verwendung einer hochtemperaturbeständigen organischen Maskenschicht, vorzugsweise aus Polyimid oder Photoimid und in der Teilätzung der Dielektrizitätsmaterialschicht (Zwischen-oxid) im Verbund mit der Durchätzung der darüberliegenden Schicht aus dem Material hoher Dielektrizitätskonstante bzw. dem ferroelektrischen Material. Dadurch wird eine Eintiefung in der Dielektrizitätsschicht bis auf eine Restschichtdicke erreicht, die kleiner oder gleich der Restdicke der Maskenschicht nach dem Ätzschritt ist.

Erfindungsgemäß wird daraufhin die Eintiefung lateral versiegelt durch konforme Abscheidung einer Schicht aus  $O_3/TEOS-SiO_2$  (TEOS steht für Tetraethylorthosilikat). Die hierbei erforderliche Prozeßtemperatur beträgt typischerweise  $400^\circ C$  und wird von der hochtemperaturbeständigen Lochmaskenschicht ohne Degradationseffekte toleriert.

Eine Oxidätzung legt daraufhin ähnlich wie bei einer Abstandhalter- bzw. Spacerätzung den Boden der Eintiefung frei, der daraufhin bis auf den Boden des Kontaktlochs durch Ätzen abgesenkt wird.

Die organische Schicht dient weiterhin als Lochmaske und wird anschließend entfernt.

Vorteilhafterweise folgt hierauf eine selektive erneute Abscheidung von  $O_3/TEOS-SiO_2$  zur Versiegelung ausschließlich der

Lateralwandung des Kontaktlochs und der Oberfläche der Scheibe unter Aussparung des Kontaktlochbodens. Hierauf folgt in an sich bekannter Weise eine Kontaktloch-Nachbehandlung zur Entfernung gegebenenfalls geschädigten Siliziumsubstrat-Materials und eine Metallisierung des Kontaktlochs.

Das erfindungsgemäße Verfahren läuft dadurch hinsichtlich des Lithographie-Prozesses einfacher ab als das herkömmliche Verfahren.

Nachfolgend wird die Erfindung anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnungen beispielhaft näher erläutert.

Es zeigen:

Fig. 1A bis 1D schematisch die Schrittabfolge eines herkömmlichen Verfahrens zur Herstellung eines Halbleiterspeicherbauelements unter Verwendung von Materialien hoher Dielektrizitätskonstante und von ferroelektrischen Materialien, und

Fig. 2A bis 2G schematisch die Schrittabfolge eines erfindungsgemäßen Verfahrens zur Herstellung eines Halbleiterspeicherbauelements unter Verwendung von Materialien hoher Dielektrizitätskonstante und von ferroelektrischen Materialien.

Zum besseren Verständnis der Erfindung wird zunächst anhand von Fig. 1A bis 1D ein herkömmliches Verfahren zur Herstellung eines Halbleiterspeicherbauelements unter Verwendung von Materialien hoher Dielektrizitätskonstante und von ferroelektrischen Materialien erläutert. Dieses herkömmliche Verfahren erfordert den Einsatz von zwei Lithographie-Ebenen bzw. Lithographie-Schritten.

Die erste Lithographie-Ebene ist in Fig. 1A und 1B gezeigt, und die zweite Lithographie-Ebene ist in Fig. 1C und 1D gezeigt.

Gemäß diesen Figuren wird das Halbleiterspeicherelement aufgebaut aus einem Siliziumsubstrat 11, dessen genaue Struktur nicht gezeigt ist, und auf welchem eine Dielektrikum-Schicht 1 angeordnet ist, die mit ihrer Unterseite an die Oberseite des Siliziumsubstrats 11 angrenzt. Diese Grenzschicht ist in Fig. 1A bis 1D allgemein mit der Bezugsziffer 2 bezeichnet.

An die Oberseite der Dielektrikumschicht 1 grenzt eine in Fig. 1A durchgehende Schicht hoher Dielektrizitätskonstante (oder eine ferroelektrische Schicht) an, die allgemein mit der Bezugsziffer 3 bezeichnet ist. Die Schicht 3 besteht beispielsweise aus BST (BST steht für Barium-Strontium-Titanat). Eine ferroelektrische Schicht 3 hingegen besteht beispielsweise aus SBT (SBT steht für Strontium-Wismuth-Tantalat).

Die Oberseite der Schicht 3 mit hoher Dielektrizitätskonstante ist zunächst vollständig abgedeckt durch eine Lackschicht 4. Diese Lackschicht 4 wird in bekannter Weise in eine Lackmaske (Lochmaske 4) überführt, die eine Vielzahl von Öffnungen 5 aufweist. Die Öffnung 5 dient zur Ätzung eines Fensters 6 in die Schicht 3 hoher Dielektrizitätskonstante, wie in Fig. 1B gezeigt, die bereits das Ergebnis des nächsten Verfahrensschritts zeigt, der in der Entfernung der Lackschicht 4 resultiert. Dieser Lackentfernungsschritt ist auch als Lackstrippen bekannt.

Wie in Fig. 1C gezeigt, wird auf die Oberflächenstruktur von Fig. 1B wiederum eine Lackschicht aufgetragen, die allgemein mit der Bezugsziffer 7 bezeichnet ist und in bekannter Weise in eine Lackmaske überführt wird, die Durchbrüche an den Stellen aufweist, an denen in die Dielektrikumschicht 1 ein Kontaktloch eingebracht werden soll. Erzeugt wird dieses Kontaktloch mittels der zweiten Lithographie-Ebene durch Ätzung der Dielektrikumschicht 1 unter Zuhilfenahme der Lackmaske bis zur Grenzschicht 2, wie in Fig. 1D gezeigt, die bereits das Resultat des nächsten Schritts darstellt, demnach die Lackschicht 7 vollständig entfernt ist.

Bei den vorstehend erläuterten Ätzschritten handelt es sich

üblicherweise um Plasmaätzen.

Das Kontaktloch, das allgemein mit der Bezugsziffer 8 bezeichnet ist, hat eine typische Strukturgröße bzw. einen Durchmesser  $d_1$  von  $0,6\text{ }\mu\text{m}$  und ist damit ungefähr halb so groß wie das Fenster 6 mit dem Durchmesser  $d_2$ . Diese Dimensionen sind jedoch nicht zwingend, sondern nur beispielhaft gewählt.

Durch die in Fig. 1A bis 1D zum Ausdruck kommenden Verfahrensschritte wird erreicht, daß der Boden des Kontaktlochs 8 (Fig. 1D), d.h., die durch dieses Kontaktloch freiliegende Oberfläche des monokristallinen Siliziumsubstrats (Grenzfläche 2) nicht kontaminiert wird. Bei einer direkten Ätzung (d.h. bei Verwendung einer einzigen Lithographiemaske) bis zum Si wäre das Plasma kontaminiert und somit auch das einkristalline Siliziumsubstrat. Um eine negative Beeinflussung der Funktion des Halbleiterspeicherbauelements zu verhindern, darf das Siliziumsubstrat nicht kontaminiert werden.

Das erfindungsgemäße Verfahren zur Herstellung des in Rede stehenden Halbleiterspeicherbauelements wird nunmehr anhand von Fig. 2A bis 2G erläutert. Das erfindungsgemäße Verfahren unterscheidet sich von dem vorstehend anhand von Fig. 1A bis 1D erläuterten Verfahren dadurch, daß eine Lithographie-Ebene bzw. ein Lithographie-Schritt eingepart wird. Das erfindungsgemäße Verfahren beruht demnach auf einer einzigen Lithographie-Ebene.

Soweit die in Fig. 2A bis 2G gezeigte Struktur derjenigen von Fig. 1A bis 1D entspricht, werden dieselben Bezugsziffern verwendet.

Fig. 2A entspricht Fig. 1A mit dem Unterschied, daß bei dem in Fig. 2A gezeigten Verfahrensschritt keine Maske aus herkömmlichem Lack verwendet wird, sondern eine allgemein mit 4' bezeichnete Maske aus einem organischen Material, wie etwa Polyimid bzw. Photoimid, wobei das Maskenmaterial beständig ist gegenüber einer im späteren Verfahrensschritt gemäß Fig. 2C abgeschiedenen Schicht aus  $\text{O}_3/\text{TEOS-SiO}_2$ .

Auf den Verfahrensschritt, der in Fig. 2A gezeigt ist, folgt der in Fig. 2B gezeigte Verfahrensschritt, bei dem unter Verwendung der Öffnung 5 sowohl die Schicht 3 hoher Dielektrizitätskonstante wie auch eine Eintiefung 8' in die Dielektrikumschicht 1 geätzt werden, die auch als Teilätzung im Sinne des Kontaktlochs 8 von Fig. 1D bezeichnet werden kann. Bei dem in Fig. 2B gezeigten Ätzschritt wird außerdem die Maskenschicht 4' soweit abgetragen, daß eine Maskenschichtdicke  $d_p$  verbleibt, die größer ist als die Restdicke  $d_0$  zwischen der Sohle der Eintiefung 8' und der Grenzfläche 2 zum Siliziumsubstrat. Für die nachfolgenden Prozeßschritte ist es wesentlich, daß die Lochmasken-Restdicke  $d_p$  größer oder gleich ist wie die Dielektrikum-Restdicke  $d_0$ :  $d_p \geq d_0$ . Letzteres ist jedoch nicht zwingend erforderlich, sondern nur beispielhaft. Wesentlich ist, daß die Selektivität des folgenden Ätzschrittes erlaubt,  $d_0$  mit einer Maske der Dicke  $d_p$  zu ätzen.

Im in Fig. 2C gezeigten nächsten Prozeßschritt wird auf die Struktur von Fig. 2B in hochkonformer Weise eine Schicht aus  $O_3/TEOS-SiO_2$  abgeschieden, welche auch die Eintiefung 8' auskleidet. Diese Schicht ist mit der Bezugsziffer 9 bezeichnet. Zweck der Schicht 9 ist eine laterale bzw. seitliche Versiegelung der Schicht 3 mit hoher Elektrizitätskonstante im Bereich 6' und der Dielektrikumschicht 1 im Bereich der Eintiefungswände. Die Prozeßtemperatur bei der Abscheidung der Schicht 9 beträgt typischerweise  $400^\circ C$  und wird von der hochtemperaturbeständigen Schicht 4' ohne Degradationseffekte toleriert.

Wie in Fig. 2D dargestellt, folgt als nächster Prozeßschritt eine erneute Ätzung ähnlich wie bei einer Abstandhalterätzung zur Freilegung der Oberseite der Lochmaskenschicht 4' sowie des Bodens der Eintiefung 8'. Während dieses Ätzprozesses wird auch der obere Rand des Lochs in der Schicht 4' gekürzt. Wie in Fig. 2E gezeigt, wird dieser Ätzprozeß solange fortgeführt, bis der Boden der Eintiefung 8' die Grenzfläche 2 zum Siliziumsubstrat erreicht hat. Daraufhin wird, wie in Fig. 2F gezeigt, die

Schicht 4' entfernt (Strippen).

Daraufhin wird selektiv erneut  $O_3/TEOS-SiO_2$  abgeschieden, wie in Fig. 2G gezeigt und mit der Bezugsziffer 10 bezeichnet. Diese selektive  $O_3/TEOS-SiO_2$ -Abscheidung ist im einzelnen im deutschen Patent Nr. 19 528 746 erläutert, demnach ausschließlich die Oberseite der Schicht 3 hoher Dielektrizitätskonstante und die Seitenwand des Kontaktlochs 8 beschichtet wird, während am Boden des Kontaktlochs 8 keinerlei Abscheidung erfolgt. Hieran schließt sich ein nicht dargestellter Prozeßschritt an, demnach das Kontaktloch 8 nachbehandelt wird, um gegebenenfalls geschädigtes Material des Siliziumsubstrats am Boden des Kontaktlochs zu entfernen und das Kontaktloch zu metallisieren.

Das in Fig. 2A bis 2G gezeigte erfindungsgemäße Verfahren erlaubt demnach in einer einzigen Lithographie-Ebene die Einbringung eines Kontaktlochs ohne Kontamination des einkristallinen Siliziumsubstrates am Boden des Kontaktlochs.



PATENTANSPRÜCHE

1. Verfahren zur Herstellung eines Halbleiterspeicherbauelements, insbesondere eines DRAM bzw. FRAM, mit einem Siliziumsubstrat, einer auf diesem angeordneten Zwischenoxidschicht (1), auf welcher eine obere Schicht (3) aus einem ferroelektrischen Material oder aus einem Material hoher Dielektrizitätskonstante angeordnet ist, wobei eine die obere Schicht (3) und die Zwischenoxidschicht (1) durchsetzende und bis zum Siliziumsubstrat (11) reichende Öffnung (5) gebildet wird,

dadurch gekennzeichnet, daß

auf die obere Schicht (3) eine Lochmaske (4) aus einem hochtemperaturbeständigen Material aufgebracht wird,

unter Verwendung der Lochmaske (4) durch die obere Schicht (3) hindurch in die dielektrische Zwischenoxidschicht (1) hinein eine Eintiefung (8') geätzt wird,

auf die derart gewonnene Struktur eine Schicht aus  $O_3/TEOS-SiO_2$  abgeschieden wird,

die Schicht aus  $O_3/TEOS-SiO_2$  vom Boden der Eintiefung (8') durch Ätzen entfernt wird, und

die Eintiefung (8') daraufhin durch Ätzen zur Erzeugung des Kontaktloches (8) bis zur Grenzfläche (2) zum Siliziumsubstrat (11) unter Freilegung desselben abgesenkt wird.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß als Material für die Lochmaske (4) Polyimid verwendet wird.

3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß als Material für die Lochmaske (4) Photoimid verwendet wird.

4. Verfahren nach Anspruch 1, 2 oder 3, dadurch gekennzeichnet, daß nach Freilegung des Siliziumsubstrats (11) im Bereich

des Kontaktlochbodens unter Aussparung desselben erneut eine Schicht aus  $O_3/TEOS-SiO_2$  auf diese Struktur abgeschieden wird.

5. Verfahren nach Anspruch 4, dadurch gekennzeichnet, daß vor erneuter Abscheidung von  $O_3/TEOS-SiO_2$  das Lochmaskenmaterial entfernt wird.

6. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß als obere Schicht (3) eine Schicht aus einem ferroelektrischen Material, insbesondere SBT oder PZT oder aus einem Material mit hoher Dielektrizitätskonstante, insbesondere BST, verwendet wird.

